

Ref-6

⑩ 日本国特許庁(JP)

⑪ 実用新案出願公開

⑫ 公開実用新案公報(U)

昭61-160556

⑬ Int. Cl.

識別記号

庁内整理番号

⑭ 公開 昭和61年(1986)10月4日

G 06 F 13/14
G 05 B 15/02
G 06 F 12/02

D-7165-5B
8225-5H
C-6711-5B

審査請求 未請求 (全3頁)

⑮ 考案の名称 アドレス設定装置

⑯ 実 願 昭60-42584

⑰ 出 願 昭60(1985)3月25日

⑱ 考 案 者 高 橋 邦 男 鎌倉市上町屋730番地 菱電エンジニアリング株式会社鎌倉事業所内

⑲ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

⑳ 代 理 人 弁理士 大岩 増雄 外2名

㉑ 実用新案登録請求の範囲

一定周期で繰り返すクロックパルスの繰り返し回数を数え、この回数を2進数で表わして出力するカウンタ回路と、このカウンタの出力を入力し設定するレジスタ回路と、外部から入力される信号を上記クロックパルスに同期させて出力するフリップフロップ回路とを備え、上記カウンタ回路の出力をアドレスとして使用することを特徴としたアドレス設定装置。

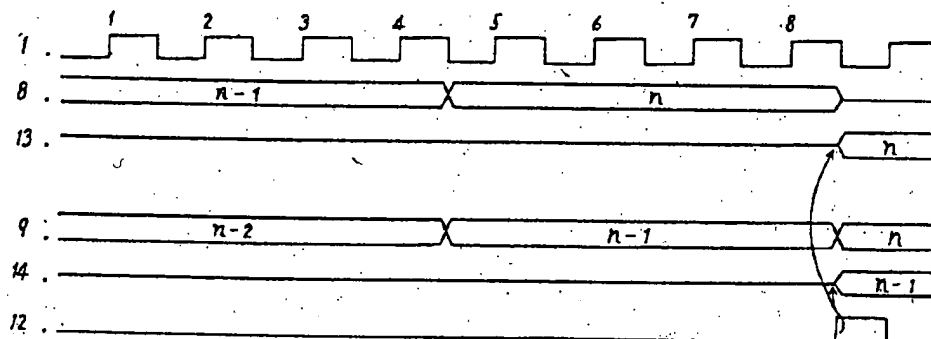
図面の簡単な説明

第1図はこの考案の一実施例を示すブロック図。第2図はこの考案のアドレス設定装置における各部信号を示すタイムチャート、第3図は従来のアドレス設定装置を示すブロック図、第4図は従来のアドレス設定装置における各部信号を示す

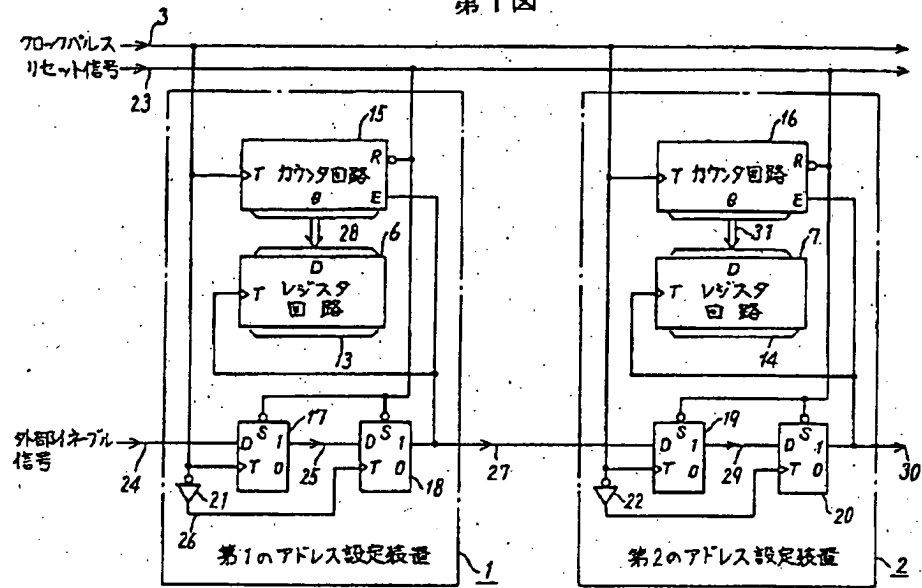
タイムチャートである。

図において1は第1のアドレス設定装置、2は第2のアドレス設定装置、3はクロックパルス、4、5はシフトレジスタ回路、6、7はレジスタ回路、8は直列アドレス信号、9はシフトレジスタ直列出力信号、10、11はシフトレジスタ並列出力信号、12はセット信号、13、14はアドレス、15、16はカウンタ回路、17、18、19、20はフリップフロップ回路、21、22はインバータ、23はリセット信号、24は外部からのイネーブル信号、25、29はフリップフロップ出力、27は第1のイネーブル信号、28、31はカウンタ出力、30は第2のイネーブル信号である。なお各図中同一符号は同一または相当部分を示す。

第4図

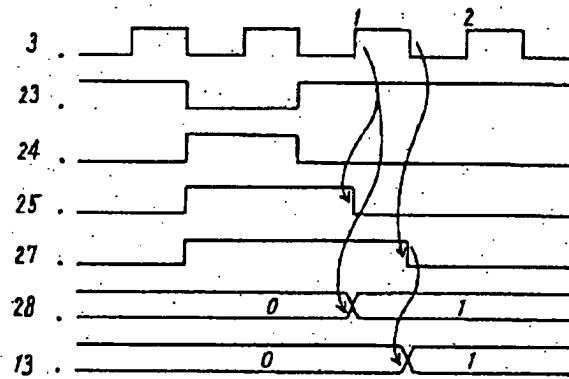


第1図



第2図

第1のアドレス設定装置のタイムチャット



第2のアドレス設定装置のタイムチャット

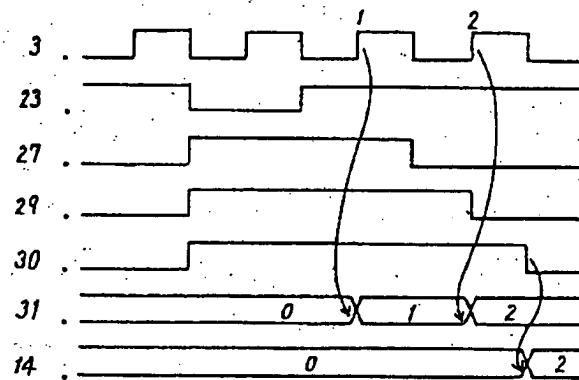
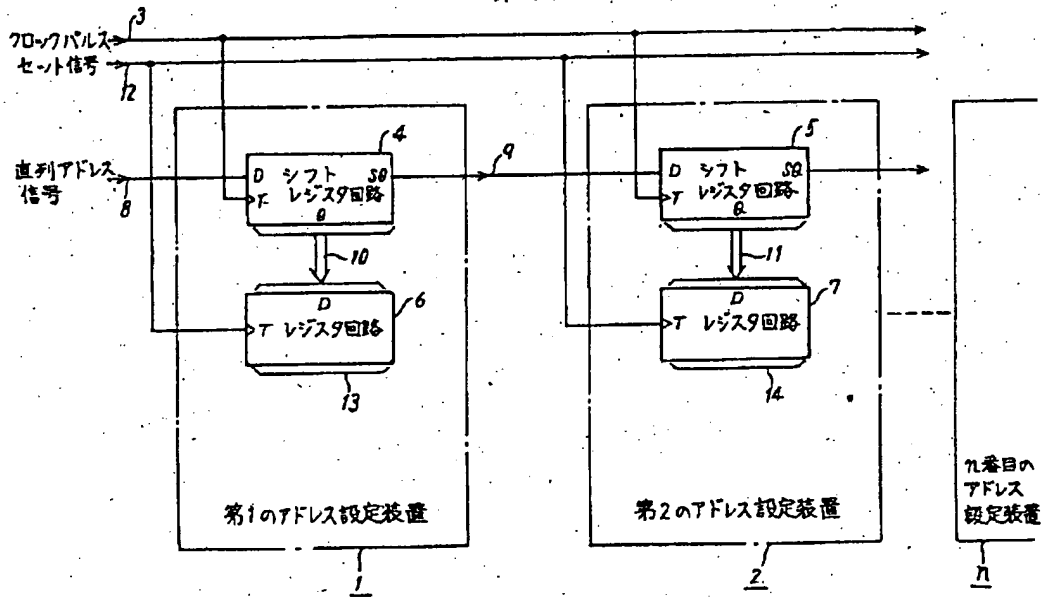


FIG. 3

第3図



⑩ 日本国特許庁(JP)

⑪ 実用新案出願公開

⑫ 公開実用新案公報(U) 昭61-160556

⑬ Int. Cl.

識別記号

庁内整理番号

⑬ 公開 昭和61年(1986)10月4日

G 06 F 13/14

D-7165-5B

G 05 B 15/02

8225-5H

G 06 F 12/02

C-6711-5B

審査請求 未請求 (全 頁)

⑭ 考案の名称 アドレス設定装置

⑮ 実 願 昭60-42584

⑯ 出 願 昭60(1985)3月25日

⑰ 考 案 者 高 橋 邦 男 鎌倉市上町屋730番地 菱電エンジニアリング株式会社鎌倉事業所内

⑱ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

⑲ 代 理 人 弁理士 大岩 増雄 外2名

明 細 書

1. 考案の名称

アドレス設定装置

2. 実用新案登録請求の範囲

一定周期で繰り返すクロックパルスの繰り返し回数を数え、この回数を2進数で表わして出力するカウンタ回路と、このカウンタの出力を入力し設定するレジスタ回路と、外部から入力される信号を上記クロックパルスに同期させて出力するフリップフロップ回路とを備え、上記カウンタ回路の出力をアドレスとして使用することを特徴としたアドレス設定装置。

3. 考案の詳細な説明

〔産業上の利用分野〕

この考案は複数の被制御装置にアドレスを設定する場合に必要とされる、アドレス設定装置、特に誤動作防止に関するものである。

〔従来の技術〕

第3図は一般的に用いられる従来のアドレス設定装置の構成を示すブロック図である。図におい

(1)

677

て(1)は第1のアドレス設定装置、(2)は第2のアドレス設定装置であつて、これらのアドレス設定装置(1)、及び(2)を構成する回路は直列デジタル信号をクロックパルス(3)に同期させて順次シフトさせると共に上記直列デジタル信号を並列デジタル信号に変換するシフトレジスタ回路(4)及び(5)と上記並列デジタル信号を蓄積するレジスタ回路(6)及び(7)である。また第4図は第3図に示された従来のアドレス設定装置における各部信号を示すタイムチャートである。以下図を用いて説明する。

第3図及び第4図において直列デジタル信号化したアドレス信号(8)（以下直列アドレス信号と称す）を上記第1のアドレス設定装置(1)のシフトレジスタ回路(4)へ入力すると上記クロックパルス(3)に同期して順次シフトされ、この第1のアドレス設定装置(1)から出力される。この直列出力信号(9)は上記第2のアドレス設定装置(2)の上記シフトレジスタ回路(5)へ入力され、上記第1のアドレス設定装置(1)と同様にして、上記第2のアドレス設

定装置(2)から出力される。このようにして、上記直列アドレス信号(8)は上記第1のアドレス設定装置(1)から n 番目のアドレス設定装置(n)まで順次進んで行くことになる。また、上記各アドレス設定装置(1)、(2)の上記シフトレジスタ回路(4)、(5)は上記直列アドレス信号をシフトすると同時に、これを並列アドレス信号(9)、(10)に変換し、順次上記レジスタ回路(6)、(7)へ出力する。このように上記アドレス設定装置(1)から入力される上記直列アドレス信号(8)が n 番目の上記アドレス設定装置(n)まで進み終わると、それと同時に1パルスのセット信号(12)を上記各アドレス設定装置(1)、(2)の上記レジスタ回路(6)、(7)へ入力する。尚、 n 番目までの他のアドレス設定装置も同様に動作する。この一連の操作により、上記シフトレジスタ回路(4)、(5)の出力端子Qから出力された上記並列アドレス信号(9)、(10)は、上記レジスタ回路(6)、(7)のアドレス(13)、(14)として設定される。

〔考案が解決しようとする問題点〕

上記のような従来のアドレス設定装置では上記

クロックパルス(3)や上記セット信号(2)にノイズが乗った場合、各回路が誤動作し、期待したアドレスが設定出来ない。したがって従来のアドレス設定装置はノイズが多発する場所での使用が難かしいという問題点があつた。この考案はかかる問題点を解決するためになされたもので、ある程度ノイズが発生しても正確なアドレスが設定出来る、アドレス設定装置を得ることを目的とする。

〔問題点を解決するための手段〕

この考案に係るアドレス設定装置は、クロックパルスの繰り返し回数を数えるカウンタ回路と、このカウンタ時間の制御を行なう信号(以下ネーブル信号と称す)を発生するフリップフロップ回路とを設け、このカウンタ出力をアドレス設定するものである。

〔作用〕

この考案においては、アドレス信号及び上記ネーブル信号を各アドレス設定装置内で発生させる構成であるため、ノイズによる影響が少なく、さらにクロックパルスにノイズが重畳した場合で

もこれを1クロックとして各アドレス設定装置が均等にカウントし、正常なアドレスを設定する。

〔実施例〕

第1図はこの考案の一実施例を示すブロック図であり、(1)～(3)、(6)、(7)、(13)、(14)は上記従来装置と全く同一のものである。(15)、(16)はクロックパルスを数えるカウンタ回路、(17)、(18)、(19)、(20)は上記イネーブル信号を発生するフリツプフロツプ回路、(21)、(22)は上記クロックパルスを反転させて負論理クロックパルスを発生するインバータ回路である。

また第2図はこの考案のアドレス設定装置における各部信号を示すタイムチャートである。

上記のように構成されたアドレス設定装置において、まずリセット信号(23)を各アドレス設定装置に入力する。

このリセット信号(23)により各アドレス設定装置の上記カウンタ回路(15)、(16)がリセットされ、又、上記フリツプフロツプ回路(17)、(18)、(19)、(20)がセットされる。この初期状態から各アドレス設定装置の上記カウンタ回路がカウントを開始する。この

時上記第 1 のアドレス設定装置 (1) に外部から外部イネーブル信号 24 を入力すると上記フリップフロップ回路 17 から上記クロックパルスに同期した信号 25 が発生する。さらにこの信号 25 は次のフリップフロップ回路に入力され、上記インバータ回路 21 から出力された上記負論理クロックパルス 26 によつて第 1 のイネーブル信号 27 を発生する。この第 1 のイネーブル信号 27 は上記第 2 のアドレス設定装置 (2) へ出力されると同時に上記第 1 のアドレス設定装置 (1) の上記カウンタ回路 19 を制御し、また、上記レジスタ回路 (6) にも入力される。このカウンタ回路 19 は上記第 1 のイネーブル信号が “H” レベルの時だけカウントする。したがつて上記リセット信号 28 の入力後から上記第 1 のイネーブル信号 27 が “L” レベルになるまでの間に上記カウンタ回路 19 はカウントを行ない、カウント終了と同時にカウント出力 29 が上記レジスタ回路 (6) へ設定され、アドレスとなる。尚、この設定タイミングは上記第 1 のイネーブル信号 27 の立ち下がりによる。

次に、上記のようにして作られた上記第 1 のイネーブル信号 Φ_1 は上記第 2 のアドレス設定装置(2)において上記第 1 のアドレス設定装置(1)と同様な動作により第 2 のイネーブル信号 Φ_2 を発生し、次のアドレス設定装置へ出力される。

したがって第 2 図における上記第 1 のイネーブル信号 Φ_1 と上記第 2 のイネーブル信号 Φ_2 との比較で分るように、各イネーブル信号は各アドレス設定装置を通過する毎に 1 クロックパルス長ずつ長くなつてゆく。ゆえに各アドレス設定装置に設定されるアドレスも 1 つずつ増えて行くことになる。

本考案によるアドレス設定装置は上記のような回路構成によつて、上記各イネーブル信号と各アドレスを各アドレス設定装置内で発生させる。このため外部ノイズの影響を受けにくく、又、クロックにノイズが乗つた場合でもそのノイズを 1 クロックとして正常にカウントし、各アドレス設定装置は正確なアドレスを設定する。

〔考案の効果〕

この考案は以上説明したとおり、アドレスをア

ドレス設定装置内で発生させる構成により、ノイズの影響による誤動作を少なくできる。

4. 図面の簡単な説明

第1図はこの考案の一実施例を示すブロック図。
第2図はこの考案のアドレス設定装置における各部信号を示すタイムチャート、第3図は従来のアドレス設定装置を示すブロック図、第4図は従来のアドレス設定装置における各部信号を示すタイムチャートである。

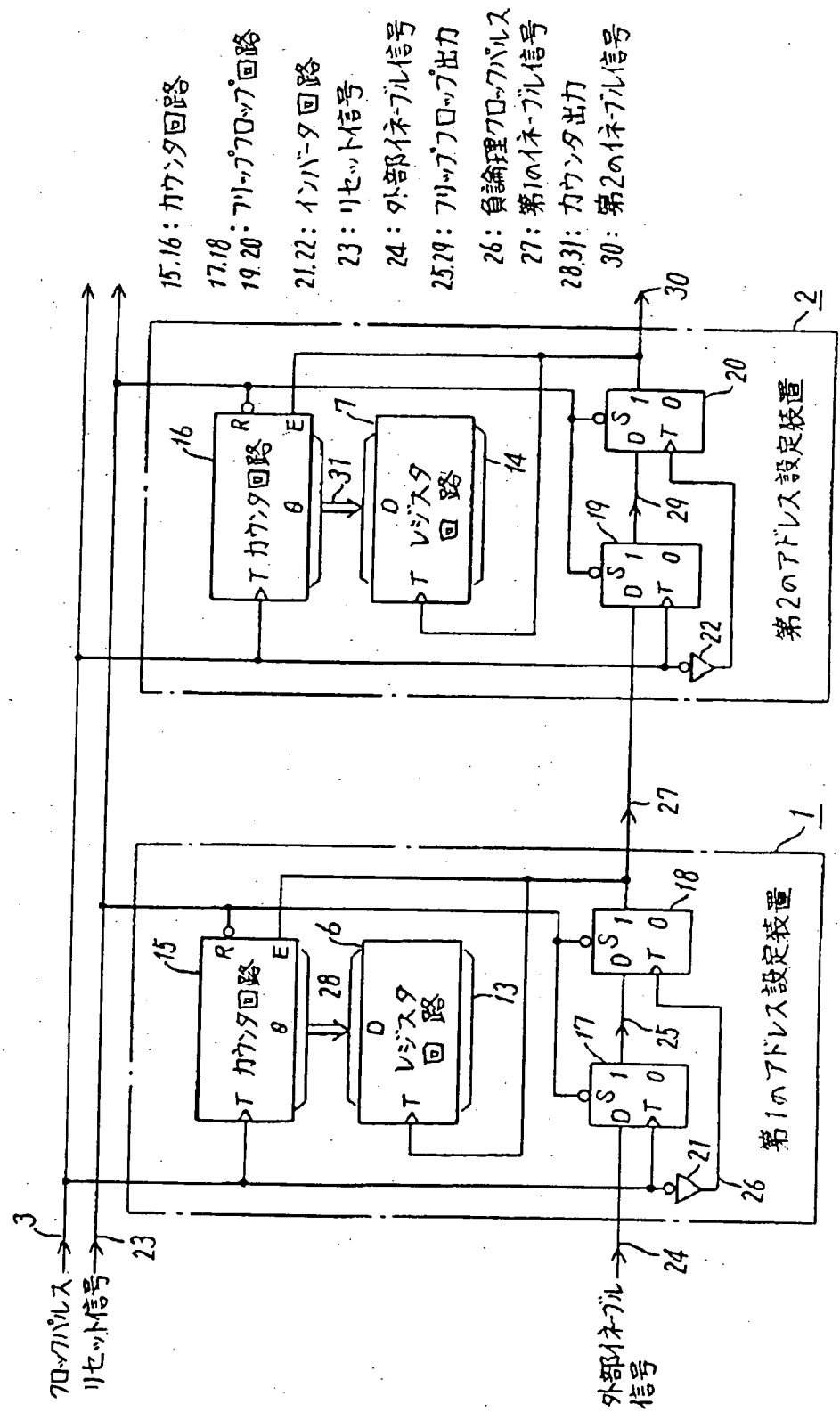
図において(1)は第1のアドレス設定装置、(2)は第2のアドレス設定装置、(3)はクロックパルス、(4)、(5)はシフトレジスタ回路、(6)、(7)はレジスタ回路(8)は直列アドレス信号、(9)はシフトレジスタ直列出力信号、(10)、(11)はシフトレジスタ並列出力信号、(12)はセット信号、(13)、(14)はアドレス、(15)、(16)はカウンタ回路、(17)、(18)、(19)、(20)はフリップフロップ回路、(21)、(22)はインバータ、(23)はリセット信号、(24)は外部からのイネーブル信号、(25)、(26)はフリップフロップ出力、(27)は第1のイネーブル信号、(28)、(29)はカウンタ出力、(30)は第2のイネーブ

ル信号である。

なお各図中同一符号は同一または相当部分を示す。

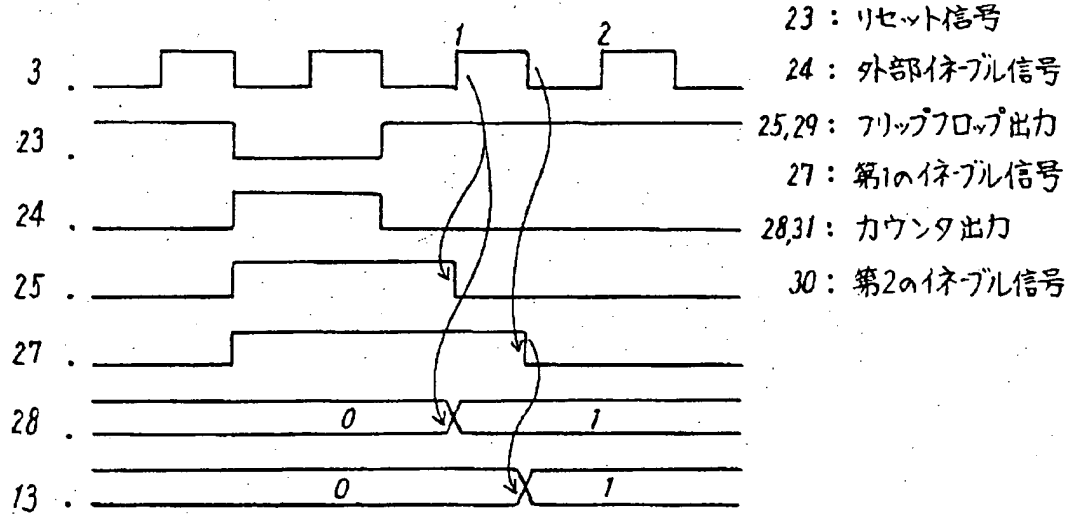
代理人 大 岩 増 雄

第 1 図

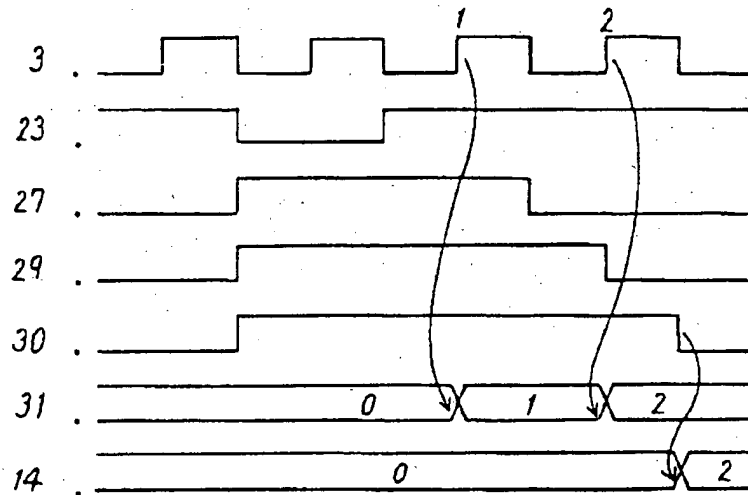


第 2 図

第1のアドレス設定装置のタイムチャット



第2のアドレス設定装置のタイムチャット

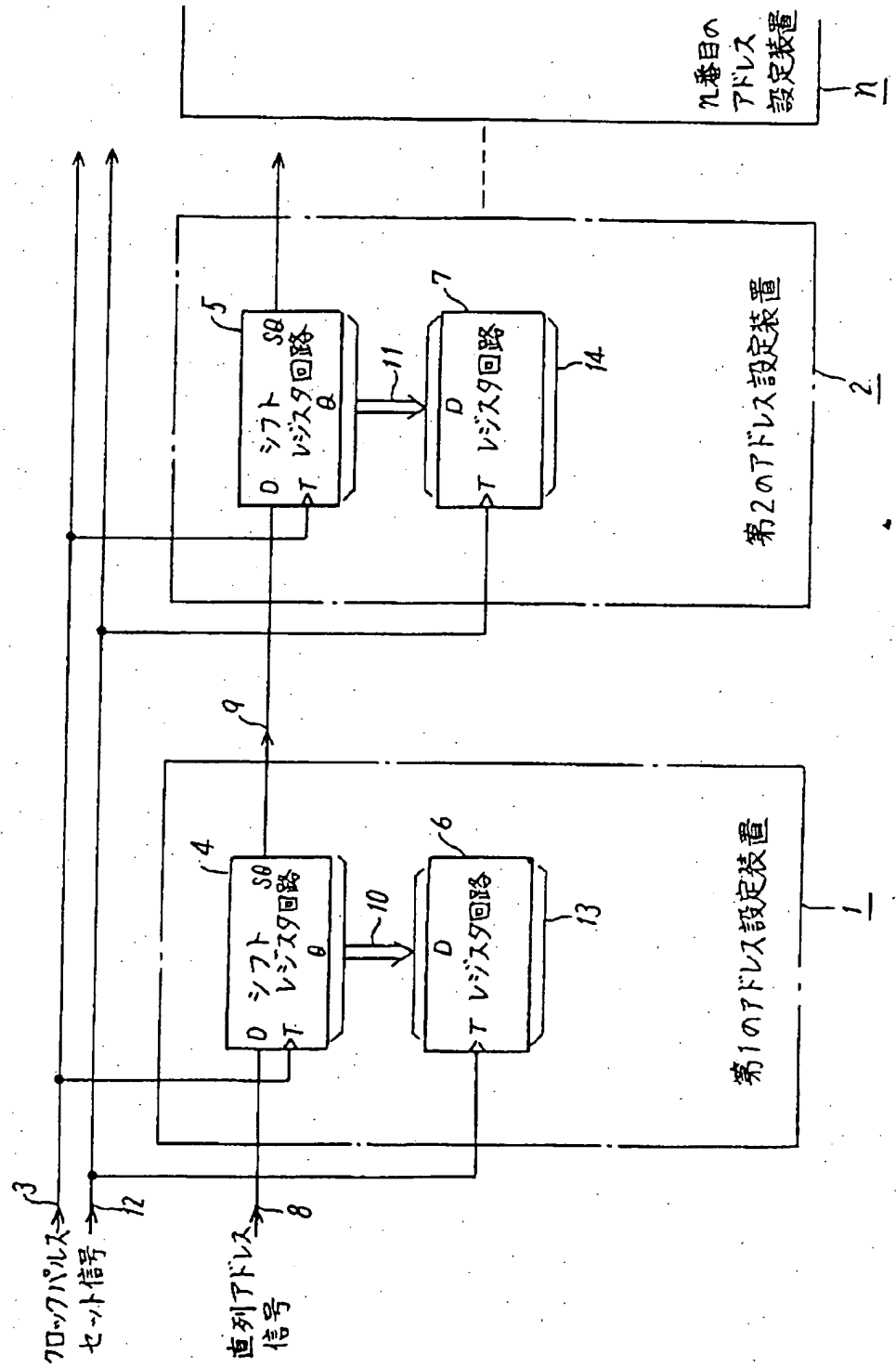


代理人 大 岩 増 雄

687

特許庁長官 大 岩 増 雄

第 3 図 FIG. 3

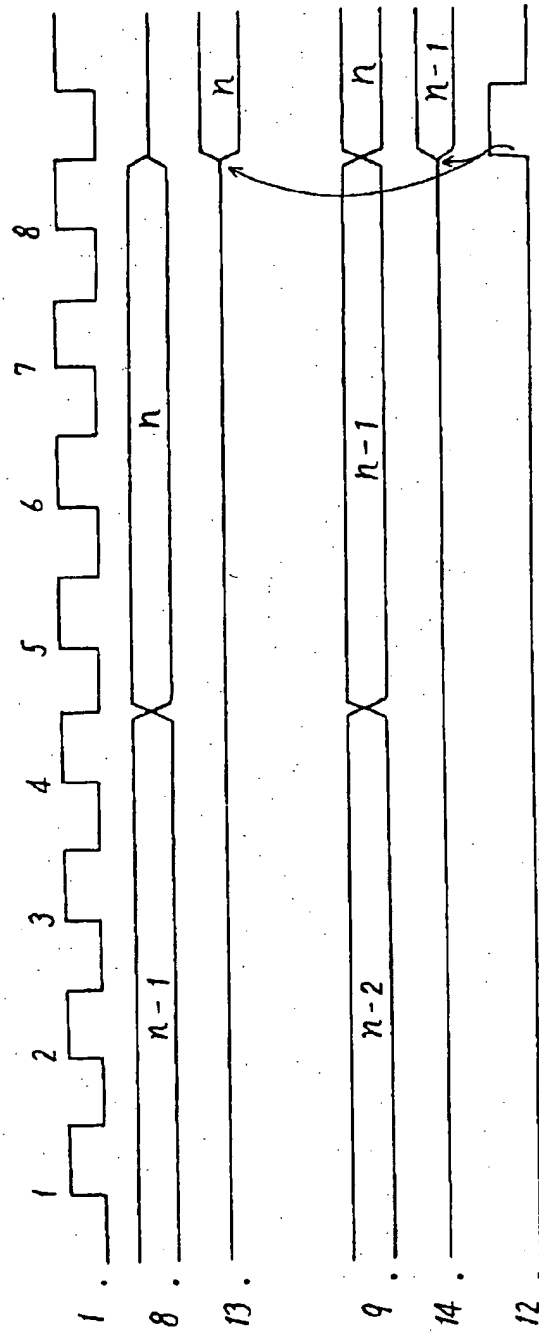


代理人 大 岩 増 雄

688

中間 71 160-56

第 4 図



代理人 大 岩 増 雄

689

公開 61 160556